

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-81696

(P2013-81696A)

(43) 公開日 平成25年5月9日(2013.5.9)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 7 2	2 H 0 4 O
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B	4 C 1 6 1
H 0 4 N 7/18 (2006.01)	H 0 4 N 7/18 M	5 C 0 5 4

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号	特願2011-224843 (P2011-224843)	(71) 出願人	000113263
(22) 出願日	平成23年10月12日 (2011.10.12)		H O Y A 株式会社
			東京都新宿区中落合2丁目7番5号
		(74) 代理人	100090169
			弁理士 松浦 孝
		(74) 代理人	100124497
			弁理士 小倉 洋樹
		(74) 代理人	100129746
			弁理士 虎山 滋郎
		(74) 代理人	100147762
			弁理士 藤 拓也
		(72) 発明者	秋野 縁
			東京都新宿区中落合2丁目7番5号 H O
			Y A 株式会社内
		Fターム(参考)	2H040 CA11 GA02 GA10 GA11
			最終頁に続く

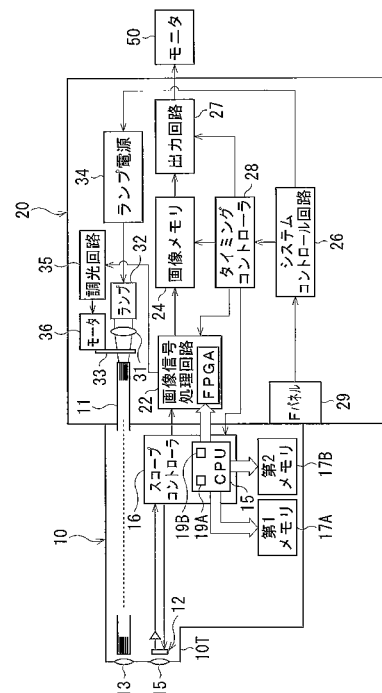
(54) 【発明の名称】 内視鏡装置

(57) 【要約】

【課題】接続されるビデオスコープに適した画像信号処理回路を、煩雑な作業を伴わずに自動構築する。

【解決手段】ビデオスコープ10内にコンフィギュレーションデータを格納したメモリ17A、17Bを設け、プロセッサ20には、FPGAによってプログラミング構築される画像信号処理回路22を設ける。そして、ビデオスコープ10がプロセッサ20に接続されると、PAL方式、もしくはNTSC方式に対応したコンフィギュレーションデータをプロセッサ20に送信し、画像信号処理回路22を構成する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

撮像素子を有するビデオスコープと、
前記ビデオスコープに接続され、前記撮像素子から読み出される画素信号を処理する画像信号処理回路を有するプロセッサとを備え、
前記ビデオスコープが、
コンフィギュレーションデータを格納するメモリと、
前記ビデオスコープが前記プロセッサに接続されると、コンフィギュレーションデータを前記プロセッサへ送信するデータ通信制御部とを有し、
前記画像信号処理回路が、P L D (Programmable Logic Device) を有し、前記コンフィギュレーションデータに基づいてプログラミング構築されることを特徴とする内視鏡装置。

10

【請求項 2】

前記メモリが、複数の映像関連規格に応じて、複数のコンフィギュレーションデータを格納する複数のメモリを有し、
前記データ通信制御部が、前記プロセッサの映像関連規格を判別し、前記プロセッサの映像関連規格に対応するコンフィギュレーションデータを前記プロセッサへ送信することを特徴とする請求項 1 に記載の内視鏡装置。

【請求項 3】

前記メモリが、第 1 の T V 映像規格に応じた第 1 コンフィギュレーションデータを格納する第 1 メモリと、第 2 の T V 映像規格に応じた第 2 コンフィギュレーションデータを格納する第 2 メモリとを有し、
前記データ通信制御部が、前記プロセッサの映像規格を判別し、前記プロセッサの映像規格に対応する第 1 もしくは第 2 コンフィギュレーションデータを前記プロセッサへ送信することを特徴とする請求項 1 に記載の内視鏡装置。

20

【請求項 4】

前記データ通信制御部が、前記プロセッサの映像関連規格を判別する I / O ポートを有し、
前記複数のコンフィギュレーションデータのうち送信されていないコンフィギュレーションデータが格納されたメモリに対し、接続されているビデオスコープに関するデータが格納されることを特徴とする請求項 2 に記載の内視鏡装置。

30

【請求項 5】

撮像素子と、
コンフィギュレーションデータを格納するメモリと、
前記撮像素子から読み出される画素信号に対して画像信号処理を行う画像信号処理回路を備えたプロセッサに接続されると、コンフィギュレーションデータを前記プロセッサへ送信するデータ通信制御部とを備え、
前記画像信号処理回路が、P L D (Programmable Logic Device) を有し、前記コンフィギュレーションデータに基づいてプログラミング構築されることを特徴とする内視鏡装置のビデオスコープ。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、スコープによって器官内壁などの被写体を撮像し、観察画像をモニタに表示可能な内視鏡システムに関し、特に、プログラミングによって処理機能が設定される画像信号処理回路に関する。

【背景技術】**【0002】**

電子内視鏡装置では、先端部に撮像素子を設けたビデオスコープにおいて画像信号処理が実行可能であり、撮像素子から読み出される画素信号を処理する画像信号処理回路がビ

50

デオスコープ内に設けられている。画像信号処理回路は、R、G、B信号などのビデオ信号を生成し、プロセッサへ出力する。

【0003】

診断対象、用途等に応じて画像信号処理機能を変更するため、FPGA (Field Programmable Gate Array) などのプログラミング設定変更可能な画像信号処理回路をビデオスコープ内に設けることができる。ここでは、プロセッサ内のROM等のメモリにあらかじめ複数のコンフィギュレーションデータを格納する。そして、プロセッサに接続されたビデオスコープのFPGAは、ユーザの所望する処理内容に応じたコンフィギュレーションデータによって画像信号処理回路をプログラミング構築する(特許文献1参照)。

【先行技術文献】

10

【特許文献】

【0004】

【特許文献1】特開2005-065871号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ビデオスコープにおける画像信号処理内容は、ビデオスコープ自身の特性(例えば、撮像素子の解像度)、映像規格などによって異なる。そのため、同じ機能をもつ画像信号処理回路をプログラミング構築する場合においても、接続可能なビデオスコープの種類に合わせてコンフィギュレーションデータを数多く用意し、あるいは、コンフィギュレーションデータの内容を、ビデオスコープ接続に合わせて変更する必要がある。

20

【0006】

したがって、煩雑な作業を伴うことなく、ビデオスコープとプロセッサとの間の接続関係から、所望の画像信号処理機能を実現させる画像信号処理回路を容易に構築することが求められる。

【課題を解決するための手段】

【0007】

本発明の内視鏡装置は、撮像素子を有するビデオスコープと、ビデオスコープに接続され、撮像素子から読み出される画素信号を処理する画像信号処理回路を有するプロセッサとを備え、ビデオスコープが、コンフィギュレーションデータを格納するメモリと、ビデオスコープがプロセッサに接続されると、コンフィギュレーションデータをプロセッサへ送信するデータ通信制御部とを有する。

30

【0008】

本発明では、プロセッサにおいて、回路書き換え可能なPLD (Programmable Logic Device) によって構成される画像信号処理回路が設けられている。例えば、FPGAなどによって画像信号処理回路が構成される。そして、画像信号処理回路の動作内容は、接続するビデオスコープのコンフィギュレーションデータに基づいて設定される。

【0009】

コンフィギュレーションデータは、例えばHDLなどにより記述されたプログラムリストによって表現されるデータ構造あるいはそれに準じるものを示し、例えば、物理レベルでのネットリスト、論理レベルでのスキーム、シナリオなどがある。コンフィギュレーションデータによって画像信号処理回路がプログラミング構築され、処理動作内容が決定される。

40

【0010】

本発明では、例えば内視鏡装置の出荷時において、ビデオスコープにコンフィギュレーションデータをメモリに格納する一方、撮像素子からの画素信号に対する画像信号処理を実行する画像信号処理回路をプロセッサに設けている。これにより、ビデオスコープ特性に合わせた画像信号処理回路が、ビデオスコープ接続に合わせてプロセッサ内にプログラミング構築される。新たなコンフィギュレーションデータを備えたビデオスコープが接続されると、そのビデオスコープ特性に合わせた画像信号処理回路が構築可能となる。

50

【 0 0 1 1 】

画像信号処理動作内容を設定するコンフィギュレーションデータは、同じ機能を果たす動作処理であっても、プロセッサに定められた映像規格によってはその内容が異なる。例えば、NTSC、PAL方式によってコンフィギュレーションデータは異なる。

【 0 0 1 2 】

したがって、ビデオスコープには、複数の映像関連規格に従い、複数のコンフィギュレーションデータを格納する複数のメモリを設けるのが望ましい。この場合、データ通信制御部は、プロセッサの映像関連規格を判別し、プロセッサの映像関連規格に対応するコンフィギュレーションデータをプロセッサへ送信する。

【 0 0 1 3 】

例えば、TV映像規格の場合、第1のTV映像規格（NTSCなど）に応じた第1コンフィギュレーションデータを格納する第1メモリと、第2のTV映像規格（PALなど）に応じた第2コンフィギュレーションデータを格納する第2メモリを設けるようにすればよい。データ通信制御部は、プロセッサの映像規格を判別し、プロセッサの映像規格に対応する第1もしくは第2コンフィギュレーションデータをプロセッサへ送信する。

【 0 0 1 4 】

たとえば、I/OポートによってTV映像規格を判別すると、ポート状態がその後変更されることはない。すなわち、ビデオスコープは以降特定の映像規格にしか対応しない。よって、複数のコンフィギュレーションデータのうち送信されていないコンフィギュレーションデータを格納しているメモリに、ビデオスコープに関するデータ（撮像素子の種類など）を格納し、メモリを有効利用するのが望ましい。

【 0 0 1 5 】

本発明の他の局面におけるビデオスコープは、撮像素子と、コンフィギュレーションデータを格納するメモリと、撮像素子から読み出される画素信号に対して画像信号処理を行う画像信号処理回路を備えたプロセッサに接続されると、コンフィギュレーションデータをプロセッサへ送信するデータ通信制御部とを備え、画像信号処理回路が、PLD（Programmable Logic Device）を有し、コンフィギュレーションデータに基づいてプログラミング構築されることを特徴とする。

【 発明の効果 】

【 0 0 1 6 】

このように本発明によれば、接続されるビデオスコープに適した画像信号処理回路を、煩雑な作業を伴わずに自動構築することができる。

【 図面の簡単な説明 】

【 0 0 1 7 】

【図1】本実施形態である内視鏡装置のブロック図である。

【図2】画像信号処理回路の動作設定処理を示したフローチャートである。

【 発明を実施するための形態 】

【 0 0 1 8 】

以下では、図面を参照して本実施形態である内視鏡システムについて説明する。

【 0 0 1 9 】

図1は、本実施形態である内視鏡装置のブロック図である。

【 0 0 2 0 】

内視鏡装置は、その挿入部分が体内へ挿入されるビデオスコープ10と、プロセッサ20とを備え、ビデオスコープ10はプロセッサ20に着脱自在に接続される。ビデオスコープは様々なタイプ、機種 of ビデオスコープが用意されており、内視鏡作業に合わせて所定のビデオスコープ10が選択的にプロセッサ20に接続される。また、プロセッサ20には、モニタ50が接続されている。

【 0 0 2 1 】

プロセッサ20は、ランプ32を備え、ランプ32から放射された照明光は、集光レンズ31を介してビデオスコープ10内に設けられたライトガイド11に入射する。ライト

10

20

30

40

50

ガイド 11 に入射した光は、スコープ先端部 10 T から射出し、配光光学系 13 を通じて被写体（観察対象）に向けて照射される。

【0022】

被写体に反射した照明光は、スコープ先端部 10 T に設けられた対物レンズ 15 によって結像し、これにより被写体像が CCD などのイメージセンサ 12 の受光面に形成される。イメージセンサ 12 では、1 フレーム（フィールド）分の画像信号が所定のフレーム時間間隔で読み出される。例えば NTSC 方式の場合、1/30（1/60）秒間隔、PAL 方式の場合、1/25（1/5）秒間隔で読み出される。イメージセンサ 12 には、Cy、Ye、G、Mg あるいは R、G、B から成る色要素をモザイク配列させた補色フィルタが配設されている。

10

【0023】

読み出された一連の画素信号は、スコープコントローラ 16 を介してプロセッサ 20 の画像信号処理回路 22 へ送られる。画像信号処理回路 22 では、画素信号に対するデジタル化処理、さらには、ホワイトバランス処理（ゲイン処理）、ガンマ補正処理などの様々な信号処理が施される。これにより、R、G、B の画像信号が生成される。R、G、B 画像信号は、画像メモリ 24 に一時的に格納された後、出力回路 27 を経てモニタ 50 へ出力される。これにより、観察画像がモニタ 50 に表示される。

【0024】

集光レンズ 31 とライトガイド 11 の間には、照明光量を調整する絞り 33 が配置されている。調光回路 35 は、画像信号処理回路 22 から送られてくる輝度信号に基づいてモータ 36 を制御し、被写体像の明るさを適切な明るさで維持するように絞り 33 が開閉する。

20

【0025】

CPU、ROM 等を含むシステムコントロール回路 26 は、タイミングコントローラ 28、ランプ電源 34 などへ制御信号を出力し、プロセッサ 20 全体の動作を制御する。また、システムコントロール回路 26 は、フロントパネル 29 のスイッチボタン（図示せず）の操作を検出する。プロセッサの動作制御に関するプログラムは ROM にあらかじめ格納されている。システムコントロール回路 26 は、ビデオスコープ 10 内に設けられたスコープコントローラ 16 と相互通信し、様々なデータが受信、送信可能である。

【0026】

30

ビデオスコープ 10 がプロセッサ 20 に接続されると、プロセッサ 20 からビデオスコープ 10 に電源が供給される。CPU 15、ROM（図示せず）を含むスコープコントローラ 16 は、IC チップで構成されており、ビデオスコープ 10 の動作を制御するとともに、プロセッサ 20 との通信を行なう。また、ビデオスコープ 10 には第 1 メモリ 17 A、第 2 メモリ 17 B が設けられており、両方とも、EEPROM など上書き可能な不揮発性メモリによって構成される。

【0027】

プロセッサ 20 の画像信号処理回路 22 は、プログラミングによって設定変更可能な PLD（Programmable Logic Device）によって構成されており、ここでは FPGA が適用されている。第 1 メモリ 17 A、第 2 メモリ 17 B には、画像信号処理回路 22 をプログラミング構築するために使用されるコンフィギュレーションデータが格納されている。

40

【0028】

コンフィギュレーションデータは、回路動作を設定する情報をもつデータであり、HDL などによって記述されるプログラミングリスト、ネットリストなどがデータとして第 1、第 2 メモリ 17 A、17 B に格納されている。第 1 メモリ 17 A には、TV 映像規格として PAL 方式対応のコンフィギュレーションデータが格納されており、第 2 メモリ 17 B には、NTSC 方式対応のコンフィギュレーションデータが格納されている。

【0029】

IC チップに実装されているスコープコントローラ 16 の CPU 15 には、I/O ポート 19 A、19 B が設けられている。スコープコントローラ 16 は、I/O ポート 19 A

50

、 19 B へのポート入力電圧のレベルに基づき、プロセッサの映像規格が P A L 方式、 N T S C 方式いずれであるかを判別する。

【 0 0 3 0 】

ビデオスコープ 1 0 が出荷されるとき、あるいは、ビデオスコープ 1 0 のメンテナンスが行なわれたとき、ビデオスコープ 1 0 とプロセッサ 2 0 との接続を通じて画像信号処理回路 2 2 のプログラミング構築が行われる。以下、画像信号処理回路の処理動作設定について説明する。

【 0 0 3 1 】

図 2 は、画像信号処理回路の動作設定処理を示したフローチャートである。ビデオスコープ 1 0 がプロセッサ 2 0 に接続されると、自動的に開始される。

10

【 0 0 3 2 】

ステップ S 1 0 1、 S 1 0 2 では、 I / O ポート 1 9 A、 1 9 B の入力電圧レベルによって、プロセッサ 2 0 の映像規格が P A L 方式であるか、あるいは N T S C 方式であるか判断される。 I / O ポート 1 9 A、 1 9 B への入力電圧レベルは、プロセッサ 2 0 の映像規格に応じて決定される。

【 0 0 3 3 】

プロセッサ 2 0 の映像規格が P A L 方式であると判断されると、第 1 メモリ 1 7 A に格納された P A L 用コンフィギュレーションデータが読み出され、プロセッサ 2 0 へ送信される。プロセッサ 2 0 では、送られてくる P A L 用コンフィギュレーションデータに従い、 P A L 方式対応の画像信号処理回路 2 2 が構築される (S 1 0 5、 S 1 0 6) 。

20

【 0 0 3 4 】

一方、プロセッサ 2 0 の映像規格が N T S C 方式であると判断されると、第 2 メモリ 1 7 B に格納された N T S C 用コンフィギュレーションデータが読み出される (S 1 0 3) 。プロセッサ 2 0 では、 N T S C 用コンフィギュレーションデータに従い、 N T S C 方式対応の画像信号処理回路 2 2 が構築される (S 1 0 4) 。

【 0 0 3 5 】

ステップ S 1 0 7 では、ビデオスコープの機種に関するデータの設定処理が行われる。ここでは、第 1、第 2 メモリ 1 7 A、 1 7 B のうちプロセッサ 2 0 の映像規格に対応していなかったメモリを、スコープ特性 (撮像素子のタイプなど) などに関するデータを格納するメモリとして使用する。ユーザがキーボード操作などすることにより、使用されていないコンフィギュレーションデータを格納したメモリにデータが上書きされる。

30

【 0 0 3 6 】

このように本実施形態によれば、ビデオスコープ 1 0 内にコンフィギュレーションデータを格納したメモリ 1 7 A、 1 7 B が設けられており、プロセッサ 2 0 には、 F P G A によってプログラミング構築される画像信号処理回路 2 2 が設けられている。そして、ビデオスコープ 1 0 がプロセッサ 2 0 に接続されると、 P A L 方式、もしくは N T S C 方式に対応したコンフィギュレーションデータがプロセッサ 2 0 に送信され、画像信号処理回路 2 2 が構成される。

【 0 0 3 7 】

ビデオスコープではなく、プロセッサに再構成可能な画像信号処理回路を設ける一方、ビデオスコープにコンフィギュレーションデータ格納メモリを設ける、これにより、ビデオスコープをプロセッサに接続させると、そのビデオスコープに適した画像信号処理回路が自動的に形成される。ビデオスコープ内に自身のコンフィギュレーションデータを用意するため、コンフィギュレーションデータの変更等する必要がない。そして、ビデオスコープに画像信号処理回路を設けないため、コストダウン可能となる。

40

【 0 0 3 8 】

また、映像規格として P A L 方式もしくは N T S C 方式どちらのコンフィギュレーションデータを用意するため、出荷時に P A L 方式もしくは N T S C 方式をビデオスコープに設定することが可能となり、製造時に映像規格に分けてビデオスコープを完成させる必要がなく、ビデオスコープ内に P A L 用基板、 N T S C 用基板を設けずに基板を共有化する

50

ことができる。

【0039】

さらに、PAL方式、NTSC方式が設定されると、以降使用されることがないコンフィギュレーションデータを格納するメモリには、ビデオスコープ機種データが格納される。これにより、用意されたメモリを有効利用することができる。

【0040】

本実施形態では、FPGAによって画像信号処理回路22が構成されているが、他の形式のPLDでもよい。また、ビデオスコープとプロセッサとの接続時には、そのプロセッサの映像規格に適したコンフィギュレーションデータを送信させてもよい。

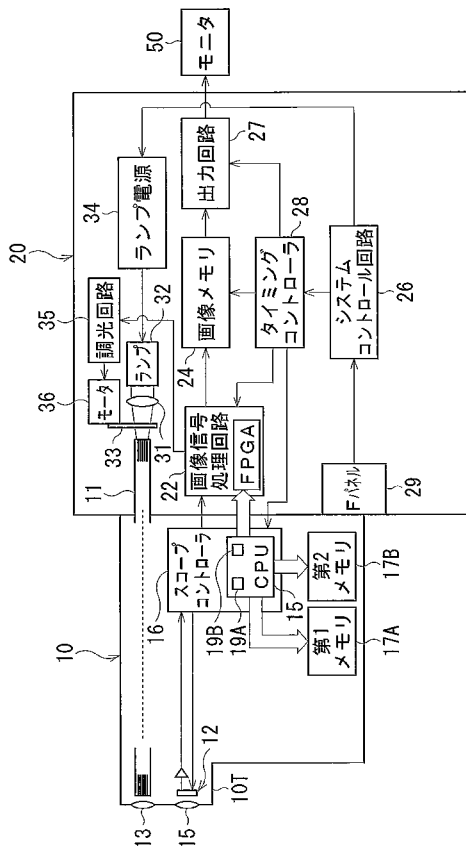
【符号の説明】

【0041】

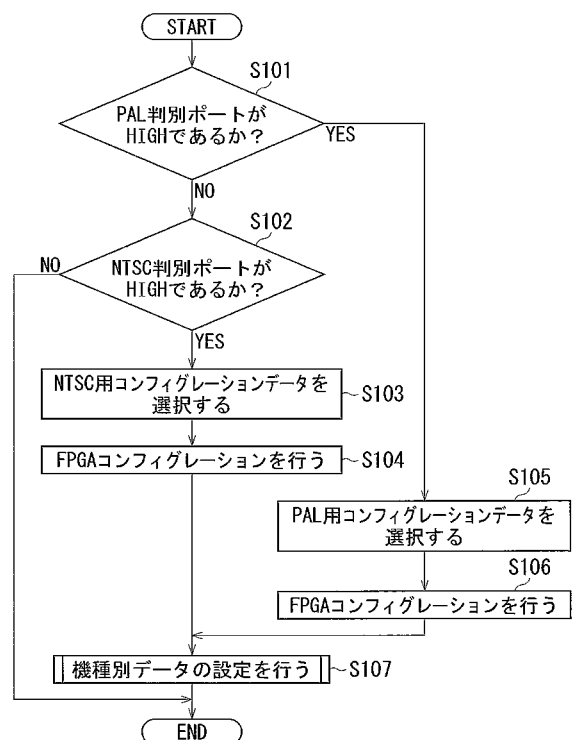
- 10 ビデオスコープ
- 16 スコープコントローラ
- 17A 第1メモリ
- 17B 第2メモリ
- 19A、19B I/Oポート
- 20 プロセッサ
- 22 画像信号処理回路

10

【図1】



【図2】



フロントページの続き

F ターム(参考) 4C161 AA00 BB00 CC06 DD00 FF06 FF45 GG01 LL02 NN01 NN05
NN07 RR25 TT12 VV06 YY12 YY14
5C054 CC07 EA05 EJ00 HA12

专利名称(译)	内视镜装置		
公开(公告)号	JP2013081696A	公开(公告)日	2013-05-09
申请号	JP2011224843	申请日	2011-10-12
[标]申请(专利权)人(译)	保谷股份有限公司		
申请(专利权)人(译)	HOYA株式会社		
[标]发明人	秋野 縁		
发明人	秋野 縁		
IPC分类号	A61B1/04 G02B23/24 H04N7/18		
FI分类号	A61B1/04.372 G02B23/24.B H04N7/18.M A61B1/045.610 A61B1/045.613 A61B1/05		
F-TERM分类号	2H040/CA11 2H040/GA02 2H040/GA10 2H040/GA11 4C161/AA00 4C161/BB00 4C161/CC06 4C161/DD00 4C161/FF06 4C161/FF45 4C161/GG01 4C161/LL02 4C161/NN01 4C161/NN05 4C161/NN07 4C161/RR25 4C161/TT12 4C161/VV06 4C161/YY12 4C161/YY14 5C054/CC07 5C054/EA05 5C054/EJ00 5C054/HA12		
代理人(译)	松浦 孝		
其他公开文献	JP5856792B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：自动构建适合于要连接的视频示波器的图像信号处理电路，而不与复杂的工作相关联。解决方案：视频示波器10包括用于存储配置数据的存储器17A和17B，并且处理器20包括：图像信号处理电路22，其编程由FPGA构成。当视频示波器10连接到处理器20时，对应于PAL方法或NTSC方法的配置数据被发送到处理器20，并且构成图像信号处理电路22。

